

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-117780

(43)Date of publication of application : 27.04.2001

(51)Int.Cl.

G06F 9/445
G06F 9/06

(21)Application number : 11-298719

(71)Applicant : SHARP CORP

(22)Date of filing : 20.10.1999

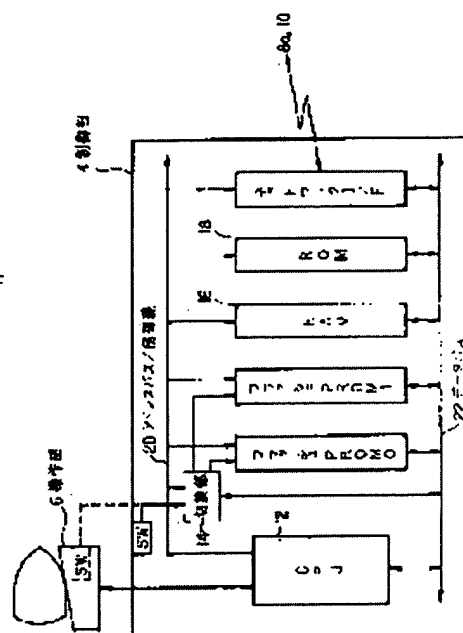
(72)Inventor : MITSUI HITOSHI

(54) INFORMATION STORAGE DEVICE AND ITS DOWNLOADING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an information storage device capable of coping even with an accident due to update of a program, etc., in a short time and its downloading method.

SOLUTION: In the case of download, an updating program is stored in a second flash PROM1 which is separated from a first flash PROM0 to store a program to be updated and a program is made possible to be selectively read from either of the flash PROMs 0, 1 before and after update even after the update.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-117780

(P 2 0 0 1 - 1 1 7 7 8 0 A)

(43) 公開日 平成13年4月27日 (2001.4.27)

(51) Int. Cl. ⁷	識別記号	F I	ターマコード (参考)
G06F 9/445		G06F 9/06	540 F 5B076
9/06	540		420 T

審査請求 未請求 請求項の数 8 O L (全12頁)

(21) 出願番号 特願平11-298719

(22) 出願日 平成11年10月20日 (1999. 10. 20)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 三井 斉

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100112335

弁理士 藤本 英介

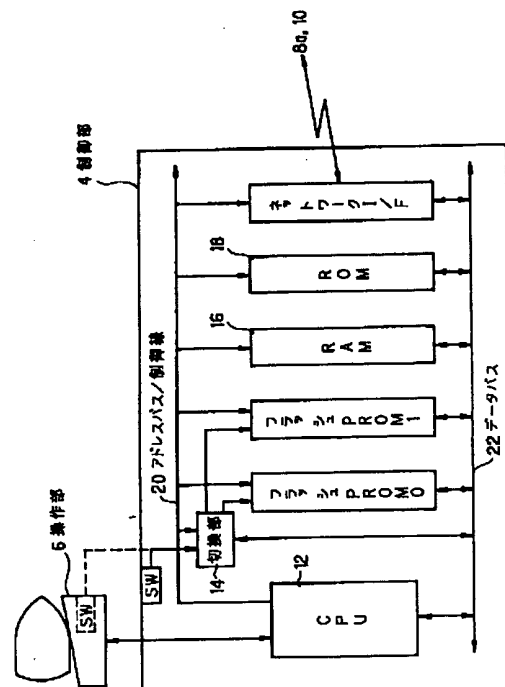
Fターム(参考) 5B076 AB19 CA01 EA17 EB03

(54) 【発明の名称】 情報記憶装置およびそのダウンロード方法

(57) 【要約】

【課題】 プログラム等の更新に起因するアクシデントに対しても短時間に対処できる情報記憶装置及びそのダウンロード方法を提供すること。

【解決手段】 ダウンロード時に、更新されるプログラムを格納している第1のフラッシュPROM0とは別の第2のフラッシュPROM1に、更新するプログラムを格納し、更新後であっても選択的に更新前後のいずれかのフラッシュPROM0、1からプログラムを読出可能とする。



【特許請求の範囲】

【請求項1】 システム内に具備され、外部からの情報をダウンロードすることにより特定の情報の更新を可能とする情報記憶装置において、

前記情報を電氣的に書き込み可能な複数の不揮発メモリと、

ダウンロード時に、更新される情報を格納している第1の不揮発メモリとは別の第2の不揮発メモリに、更新用の情報を格納可能とする切換部と、

前記更新前の情報を格納する第1の不揮発メモリと前記更新後の情報を格納する第2の不揮発メモリの何れかの不揮発メモリを選択的に使用可能に制御する制御部と、を備えていることを特徴とする情報記憶装置。

【請求項2】 前記制御部は、前記第1の不揮発メモリと前記第2の不揮発メモリの何れかをマニュアルで選択するマニュアルスイッチを備えていることを特徴とする請求項1記載の情報記憶装置。

【請求項3】 前記切換部は、ダウンロード時に、現在使用している更新対象情報を格納する第1の不揮発メモリとは別の第2の不揮発メモリに、更新用の情報を自動的に格納可能とすることを特徴とする請求項1または2記載の情報記憶装置。

【請求項4】 前記更新用の情報は、更新前の情報を格納する第1の不揮発メモリとは別のアドレス空間に、該更新後の情報を格納する第2の不揮発メモリを割り付けるためのアドレス空間情報を含み、

前記制御部は、前記アドレス空間情報に基づいて、更新前の情報を格納する第1の不揮発メモリとは別のアドレス空間に、更新後の情報を格納する第2の不揮発メモリのアドレス空間を割り付けるように制御することを特徴とする請求項1、2、または3記載の情報記憶装置。

【請求項5】 前記制御部は、前記切換部が現在使用している第1の不揮発メモリを、ダウンロードした更新情報を書き込む第2の不揮発メモリに切り換えた場合にのみ、該更新情報を第2の不揮発メモリに格納することを特徴とする請求項1、2、または3記載のプログラム記憶装置。

【請求項6】 前記制御部は、ダウンロードした更新情報を格納する第2の不揮発メモリがアドレス空間に割り付けられた場合にのみ、該更新情報を第2の不揮発メモリに格納することを特徴とする請求項5記載の情報記憶装置。

【請求項7】 システム内に具備され、外部からダウンロードすることにより特定の情報の更新が可能な情報記憶装置に更新情報をダウンロードするダウンロード方法において、

ダウンロードを始める前に、アクセス可能な不揮発メモリを、更新指定された使用中の第1の不揮発メモリから、ダウンロードする情報を格納する第1の不揮発メモリ以外の第2の不揮発メモリに切り換える不揮発メモリ

切換ステップと、

ダウンロードした更新情報を第2の不揮発メモリに書き込む情報書込ステップと、

前記情報書込ステップの終了後、アクセス可能な不揮発メモリを、第2の不揮発メモリから、第1の不揮発メモリへ戻す再不揮発メモリ切換ステップを有することを特徴とする情報記憶装置へのダウンロード方法。

【請求項8】 システム内に具備され、外部からダウンロードすることにより特定の情報の更新が可能な情報記憶装置に更新情報をダウンロードするダウンロード方法において、

ダウンロードを始める前に、更新指定された情報を格納する第1の不揮発メモリに割り付けられた第1のアドレス空間とは別の第2のアドレス空間に対して、ダウンロードする更新情報を格納する第2の不揮発メモリを割り付けるアドレス空間割付ステップと、

ダウンロードした更新情報を第2の不揮発メモリに書き込む情報書込ステップと、

前記情報書込ステップ終了後、第1の不揮発メモリを第1のアドレス空間から取り外すと共に、第2の不揮発メモリに第1のアドレス空間を割り当てるアドレス空間交換ステップを有することを特徴とする情報記憶装置へのダウンロード方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、CPUが参照するファームウェアなどのプログラムを外部の装置からダウンロードして更新することが可能なシステムに適用される、情報記憶装置およびそのダウンロード方法に関する。

【0002】

【従来の技術】 従来、一般に、システムの動作制御に用いられるプログラムのうち、固定のプログラムはROM (Read Only Memory) に記憶しておくが、バージョンアップしなければならないようなプログラムは電氣的に書き換えできるような不揮発メモリに記憶しておくようになっている。このような電氣的に書き換えできる不揮発メモリとしては、最近では、たとえばEEPROM (Electrically Erasable Programmable Read Only Memory) などのフラッシュメモリが挙げられる。このような不揮発メモリを用いれば、いちいちROM交換を実施する必要がなく、プログラムを外からダウンロードして書き換えることが可能になり、また、遠隔地から通信を用いた書き換えを実施することも可能である。その結果、プログラムの更新、バージョンアップが容易となる。

【0003】 ところが、上記不揮発メモリに格納するプログラムがシステムの動作制御にとって基本的なプログラムである場合、ダウンロードの失敗といった事故が発生してプログラムが正常にダウンロードされなかったりするとシステムそのものが立ち上がらなくなる。

【0004】そこで、従来から、外部からプログラムをダウンロードして更新する場合に事故が起きないような技術が種々提案されている。たとえば、特開平08-077040号公報に開示されているメモリ管理制御装置および方法では、システムの内蔵メモリを書き換える際に、システム本体の動作状態を判断している。これによって不用意に不揮発性メモリを書き換えることで発生するシステムの暴走といった事故を未然に防ぐことを可能としている。

【0005】また、特開平10-240577号公報に10
開示されている自動復帰機能付き警備端末装置では、システム端末に不揮発メモリを実装し、メモリライト回路とメモリ比較回路とプログラム暴走検出回路部とを設け、通常はメモリライト回路部で、不揮発メモリの内容をRAM (Random Access Memory) に書き込んで保存し、不揮発メモリでシステム端末を動作させている。そして、メモリ比較回路で定期的に不揮発メモリとRAMの内容とを比較し、プログラム暴走検出回路部の状態により、不揮発メモリとRAMの内容で正し20
いと推測される方の内容を破壊されたと推測される方に書き込むようにする。その結果、常に正常動作が可能なプログラムを用いることができるため、システムの動作異常を最小限に食い止めることができる。

【0006】さらに、特開平8-194621号公報に
開示されているダウンロード装置では、ダウンロードされたファームウェアを実行するバンクメモリ回路のワーク領域とプログラム領域のアドレス空間上における配置とを入れ替えているとともに、バックアップ用の不揮発メモリへのファームウェアの転送は、CPUを介さずに30
転送制御回路により実施している。これにより、ファームウェア更新に伴うシステムの停止時間を短くすることができるとともに、ファームウェアの転送と並行してCPUが他の動作を実行することができる。

【0007】

【発明が解決しようとする課題】しかしながら、外来ノイズや操作ミスによる暴走や事故などによる電源切断は、不揮発メモリへの書き込みの際にも発生する可能性があり、書き換え中の不揮発メモリはもちろんRAM上のデータもすべて破壊されてしまう危険性がある。また、ファームウェアを更新した場合には、以前のバージョンでは問題のなかった特定のアプリケーションの特定機能に限定した不具合が更新後かなりの時間が経過して発見されることがある。通常のプログラムの更新であれば事前に調整して計画的にシステムを止めることになるが、このようなアクシデントでシステムが停止すると業務への影響も大きくなる。

【0008】本発明は、前記の問題点を解消するためなされたものであって、上記のようなプログラム等の更新に起因するアクシデントに対しても短時間に対処できる情報記憶装置及びそのダウンロード方法を提供すること50

を目的とする。

【0009】

【課題を解決するための手段】本発明は、上記の目的を達成するため、次の構成を有する。本発明の第1の要旨は、システム内に具備され、外部からの情報をダウンロードすることにより特定の情報の更新を可能とする情報記憶装置において、情報を電気的に書き込み可能な複数の不揮発メモリと、ダウンロード時に、更新される情報を格納している第1の不揮発メモリとは別の第2の不揮発メモリに、更新用の情報を格納可能とする切換部と、更新前の情報を格納する第1の不揮発メモリと更新後の情報を格納する第2の不揮発メモリの何れかの不揮発メモリを選択的に使用可能に制御する制御部と、を備えていることを特徴とする情報記憶装置にある。

【0010】要旨1記載の構成によれば、複数の不揮発メモリ、例えばEEPROMなどのフラッシュメモリを設け、更に切換部を設けて、更新される情報、例えばプログラムやデータを格納している第1の不揮発メモリとは別の第2の不揮発メモリにその第1の不揮発メモリに格納する情報の更新用の情報を格納可能とすることで、第1の不揮発メモリに現在稼働中の情報を保持したまま、第2の不揮発メモリに改良した更新情報をダウンロードできる。また、更新前の情報を格納する第1の不揮発メモリと更新後の情報を格納する第2の不揮発メモリの何れかを選択的に読出可能に制御する制御部を設けたことで、ダウンロードが正常に終了したことを確認してから、第1、2の不揮発メモリ間を切り換えることができる。また、不揮発メモリに保存されている更新前の情報の読み出しに切り換えることもできる。その結果、ダウンロード時にノイズや操作ミスが発生して正確なダウンロードが失敗しても、あるいはダウンロードした情報そのものに問題があるような場合でも、その情報のミスに基づいて制御されるシステムが稼働できなかったり、暴走したりするなどの致命的な事態になることが回避できる。すなわち、制御部による不揮発メモリの切り換えにより、以前使用していた情報の使用状態に容易に戻すことができるので、汎用性、信頼性の向上が図れる。従って、メーカー側が現場に出向かずに電話回線など通信装置を利用して遠隔地からプログラムをダウンロードすることでプログラムの更新が可能になり、プログラムの更新がより容易、迅速かつ安全にできることとなる。

【0011】本発明の第2の要旨は、制御部は第1の不揮発メモリと第2の不揮発メモリの何れかをマニュアルで選択するマニュアルスイッチを備えていることを特徴とする要旨1記載の情報記憶装置にある。

【0012】要旨2記載の構成によれば、ユーザーにより複数の不揮発メモリから所望の情報（プログラム等）を格納している不揮発メモリを選択することが容易となり、例えば、新たにダウンロードしたプログラムに障害

5
が見つかった場合などに、以前のプログラムを格納している不揮発メモリを選択し、そのプログラムの読み出しができるので、システムが予定外に停止（不稼働状態）するような事態を回避し、システムの停止時間を短縮することができる。

【0013】本発明の第3の要旨は、切換部はダウンロード時に、現在使用している更新対象情報を格納する第1の不揮発メモリとは別の第2の不揮発メモリに、更新用の情報を自動的に格納可能とすることを特徴とする要旨1または2記載の情報記憶装置にある。

【0014】要旨3記載の構成によれば、更新用の新たなプログラム等の情報を格納する不揮発メモリを自動的に選択するので、以前に使用していたプログラムを確実に保存しておくことができる。

【0015】本発明の第4の要旨は、更新用の情報は、更新前の情報を格納する第1の不揮発メモリとは別のアドレス空間に、更新後の情報を格納する第2の不揮発メモリを割り付けるためのアドレス空間情報を含み、制御部はそのアドレス空間情報に基づいて、更新前の情報を格納する第1の不揮発メモリとは別のアドレス空間に、更新後の情報を格納する第2の不揮発メモリのアドレス空間を割り付けるように制御することを特徴とする要旨1、2、または3記載の情報記憶装置にある。

【0016】要旨4記載の構成によれば、ダウンロードのためのプログラムも不揮発メモリに格納できるので、別途ROMなどにより、ダウンロードのためのプログラムを保有しなくてもよいとともに、ダウンロードのためのプログラムも更新することができる。

【0017】本発明の第5の要旨は、制御部は切換部が現在使用している第1の不揮発メモリを、ダウンロードした更新情報を書き込む第2の不揮発メモリに切り換えた場合にのみ、その更新情報を第2の不揮発メモリに格納することを特徴とする要旨1、2、または3記載のプログラム記憶装置にある。

【0018】要旨5記載の構成によれば、新たなプログラム等の更新情報のダウンロードの際に、使用中のもの以外の第2の不揮発メモリをアドレス空間に割り付けた場合にのみ、更新情報が第2の不揮発メモリに格納されるため、使用中の第1の不揮発メモリに記憶されたプログラムを確実に保存することができる。

【0019】本発明の第6の要旨は、制御部はダウンロードした更新情報を格納する第2の不揮発メモリがアドレス空間に割り付けられた場合にのみ、その更新情報を第2の不揮発メモリに格納することを特徴とする要旨5記載の情報記憶装置にある。

【0020】要旨6記載の構成によれば、プログラム等の暴走などによって、現在使用している第1の不揮発メモリに対して新たなプログラム等の更新／書き込みが行われ、更新前のプログラム等が壊されるような事態を防止することができる。

【0021】本発明の第7の要旨は、システム内に具備され、外部からダウンロードすることにより特定の情報の更新が可能な情報記憶装置に更新情報をダウンロードするダウンロード方法において、ダウンロードを始める前に、アクセス可能な不揮発メモリを、更新指定された使用中の第1の不揮発メモリから、ダウンロードする情報を格納する第1の不揮発メモリ以外の第2の不揮発メモリに切り換える不揮発メモリ切換ステップと、ダウンロードした更新情報を第2の不揮発メモリに書き込む情報書込ステップと、情報書込ステップの終了後、アクセス可能な不揮発メモリを第2の不揮発メモリから第1の不揮発メモリへ戻す再不揮発メモリ切換ステップを有することを特徴とする情報記憶装置へのダウンロード方法にある。

【0022】要旨7記載の方法によれば、新たな更新情報のダウンロードの際に、更新対象となっている第1の不揮発メモリ以外の第2の不揮発メモリがアドレス空間に割り付けられることとなり、更新前の情報は更新されことなく確実に保存される。

【0023】本発明の第8の要旨は、システム内に具備され、外部からダウンロードすることにより特定の情報の更新が可能な情報記憶装置に更新情報をダウンロードするダウンロード方法において、ダウンロードを始める前に、更新指定された情報を格納する第1の不揮発メモリに割り付けられた第1のアドレス空間とは別の第2のアドレス空間に対して、ダウンロードする更新情報を格納する第2の不揮発メモリを割り付けるアドレス空間割付ステップと、ダウンロードした更新情報を第2の不揮発メモリに書き込む情報書込ステップと、その情報書込ステップ終了後、第1の不揮発メモリを第1のアドレス空間から取り外すと共に、第2の不揮発メモリに第1のアドレス空間を割り当てるアドレス空間交換ステップを有することを特徴とする情報記憶装置へのダウンロード方法にある。

【0024】要旨8記載の方法によれば、ダウンロードのための情報を第2の不揮発メモリに格納できるので、別途ROMなどによりダウンロードのための情報を保有しなくてもよい。また、アドレス空間交換ステップにより更新前の情報を第1の不揮発メモリに保有しているので、書込ステップ中でもシステム処理を継続可能であるとともに、更新前の情報を確実に保存できる。

【0025】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を詳細に説明する。本実施形態にかかるプログラムやデータの記憶装置は、電気的に内容の書き込み、より望ましくは電気的に内容の書き換えのできる不揮発メモリを複数個設け、現在使用しているプログラムやデータを所定の不揮発メモリに保存しておき、新たなプログラムやデータのダウンロードの際にはその他の不揮発メモリを使用して、ダウンロードが正常に完了した後に使

7
用している不揮発メモリをダウンロード後のものに切り換える。これによって、新たなプログラム等に更新されても更新前のプログラム等は依然として保存されているので、新たなプログラム等のダウンロードが失敗した場合や、更新された新たなプログラム等に問題があるような場合に、使用する不揮発メモリを選択的に切り換えて、更新前のプログラム等でシステムを稼動させることができる。その結果、プログラム等の更新の事故によりシステムが稼動できないという問題をサービスマンを待つまでもなく迅速に回避することが可能となるものである。かかる信頼性から、メーカー側が現場に出向かずに電話回線など通信装置を利用して、研究開発環境の整ったメーカー側（遠隔地）からプログラム等を新たな不揮発メモリにダウンロード、再ダウンロードすることでより容易、迅速かつ安全なプログラム等の更新が可能となる。尚、上記不揮発メモリとしては、例えば電氣的に内容の書き込み可能なPROM (Programmable Read Only Memory)、電氣的に内容の書き換え可能なEEPROMなどのフラッシュメモリ及びSRAM (Static RAM) が挙げられる。

【0026】まず、本発明の第1の実施形態にかかる情報記憶装置について図面を参照しつつ説明する。尚、本発明は本実施形態の情報記憶装置を備えたシステムに限定するものではなく、装置内に設けた不揮発メモリの制御プログラムにより動作するシステムであればよく、本実施形態ではプリンタを例に説明する。図1は、本実施形態におけるプログラム記憶装置の概略ブロック図を示している。システム2は、CPUやメモリなどを備え、ネットワークを介して電氣的な制御を実施する制御部4や、タッチパネルやボタンスイッチなどの操作部6を有している。なお、外部のプリンタエンジンに対するインターフェースなどが設けられているが、本実施形態では、プログラムの更新のみに注目する。

【0027】制御部4は、ホストやサーバ8aに接続されていたり、外部回線10を介してメーカーのサーバ8bに接続されており、たとえばメーカーのサーバ8bから直接新たなプログラムのダウンロードが可能となっている。

【0028】図2には、前記制御部4の概略ブロック図を示している。制御部4は、CPU12、切換部14、フラッシュPROM0、PROM1、RAM16、ROM18、ネットワークI/Fなどを備えている。上記各構成はアドレスバス/制御線20によりそれぞれ接続されているとともに、データバス22ともそれぞれ接続されている。

【0029】また、本システムには、フラッシュPROM0、PROM1を切り換えるためのマニュアルスイッチSWが備えられている。このマニュアルスイッチSWは、操作部6に備えられていてもよいし、制御部4に備えられていてもよい。

【0030】また、切換部14は、CPU12からの信号線、フラッシュPROM0、PROM1双方に接続されているとともに、上記マニュアルスイッチSWに接続されている。

【0031】上記CPU12はシステム2の全体の制御を行う。上記フラッシュPROM0、PROM1はシステム2の制御プログラムを電氣的に書き換え可能に記憶するフラッシュメモリ（不揮発メモリ）である。

【0032】RAM16は、電源電圧が切れることでその内容が消える揮発性メモリで、入力データの記憶領域や作業用記憶領域などとして用いられる。

【0033】ROM18は、読出専用メモリで、システム2の動作状態を自己判断するプログラムを記憶している。

【0034】ネットワークI/Fは、システム2のホストやサーバ8a、あるいはメーカーのサーバ8bなどとの通信を行う。

【0035】切換部14は、マニュアルスイッチSWからの操作、あるいはプログラムダウンロード時の制御によってフラッシュPROM0、PROM1の切り換えを行う。詳細な構成は、後述する。

【0036】フラッシュPROM0、PROM1の具体的な構成としては、別個のチップを複数備えている構成であつてもよいし、1個のチップ内を複数に区画している構成であつてもよい。

【0037】マニュアルスイッチSWの具体的な構成としては、特に限定されるものではなく、あらかじめ制御部4にDIPスイッチが設けられていてもよいし、操作部6にある操作キーを所定の順序やシフトにより操作することで複数のフラッシュPROMを切り換えられるようになっていてもよい。

【0038】次に、フラッシュPROM0、PROM1の切り換えについて説明する。ダウンロード時に、現在ダウンロード中にあるフラッシュPROM、すなわち、ダウンロード前には使用されていないフラッシュPROMを選択するように、プログラムにより切り換え可能にする。これによって、新たなプログラムをダウンロードしても前のプログラムは確実に保存されることになる。

【0039】また、ダウンロードされる新たなプログラムは、以前から使用されているプログラムを更新・バージョンアップするものであるため、ダウンロードが正常に終了した場合には、新たに書き込まれるプログラムが自動的に使用されるように、新たなプログラムを格納するフラッシュPROMが自動的に使用されるようにしておいてもよい。

【0040】なお、新たに書き込まれたプログラムに問題がある場合には、上述したマニュアルスイッチSWにて、前のプログラム、すなわち、前のプログラムが格納されているフラッシュPROMを選択するようにしておいてもよい。

【0041】このように不揮発メモリが複数（本実施形態では2つ）設けられることにより、一方のメモリに書き込みを実施している際でも、他方のメモリには前のプログラムが保存されている。従って、一方のメモリにプログラムを書き込んでいる状態で、ノイズが発生したり、電源が落ちたりしても他方のメモリに前のプログラムが保存されているので、前のプログラムでシステムを起動することができる。また、新たなプログラムの再ダウンロードも可能である。

【0042】さらに、新たなプログラムのダウンロードが成功して、該プログラムでシステム2を起動させた場合に、該プログラムにバグなどがあって、システム2が正常に起動しないような場合にも、他方のメモリに記憶されている前のプログラムに戻してシステム2の起動が可能になる。

【0043】プログラムのダウンロード方法について、図3を参照しつつ説明する。プログラムの更新前には、フラッシュPROM0を使用し、他方のフラッシュPROM1を使用していない状態であるとする。この状態では、図3に示すように、アドレス空間は0₁200000毎に区画されており、0₁0000000～0₁2000000までの第1区画AS1はROM18のアドレス空間であり、0₁2000000～0₁4000000までの第2区画AS2は、フラッシュPROM0、PROM1のアドレス空間であり、0₁4000000～0₁6000000までの第3区画AS3はRAM16のアドレス空間であるとする。フラッシュPROM0及びPROM1のアドレス空間では、これらフラッシュPROMが適宜切り換えられるようになっている。

【0044】プログラム更新前では、フラッシュPROM0、PROM1のアドレス空間（第2区画AS2）に、フラッシュPROM0が配置されるが、プログラムの更新中、すなわちプログラムの書き込みの際には、フラッシュPROM0とフラッシュPROM1とを切り換えて、アドレス空間に当初配置されていなかった（使用されていなかった）フラッシュPROM1を配置し、このフラッシュPROM1にプログラムを書き込む。

【0045】その後、更新が終了した状態、すなわちプログラムの書き込みが終了した状態では、元の状態、すなわち当初使用されていたフラッシュPROM0を使用する状態に戻る。この場合、フラッシュPROM0、PROM1のアドレス空間（第2区画AS2）には、更新前と同様、フラッシュPROM0が配置されるが、スイッチSWによってフラッシュPROM1に切り換え可能となっている。

【0046】次に、上記ダウンロード手法に対応する切換部14の構成について、図4を参照しつつ説明する。図4に示すように、切換部14は、デコーダ24、フリップフロップ（Flip Flop、以下、「FF」と略記する）26、加算機ADD28、NAND回路30a～30c

を有しており、マニュアルスイッチSWや切り換えられる2つの不揮発メモリであるフラッシュPROM（フラッシュPROM0、PROM1）などに接続されている。

【0047】デコーダ24は、入力A₁₁、A₁₂、A₁₃の3bit（アドレスバス上位3bit）から8種類の選択を実施するものである。この場合、切換部14が図3のダウンロード手法に対応するので、フラッシュPROM0、PROM1の書き込みのために割り当てられているアドレス空間は、0₁2000000～0₁4000000の区画、すなわち第2区画AS2となり、第2区画AS2のアドレス空間が選択されるために、デコーダ24の上から2番目のターミナルT2が、フラッシュPROM0、PROM1用のNAND回路30b、30cを介してフラッシュPROM0、PROM1のチップセレクト（Chip Select、以下「CS」と略記する）端に接続されている。尚、本実施形態でのCS端は反転入力端（負論理端子）（/CS端）としている。

【0048】マニュアルスイッチSWは、外部からフラッシュPROM0、PROM1を選択するためのものであり、加算機ADD28に接続されている。

【0049】FF26は、プログラム入力時にフラッシュPROM0、PROM1を選択するための構成であり、入力端Dが図4にはCPU12（図2）に接続されており、出力端Qが加算機ADD28と書き込み制御用NAND回路30aに接続されている。FF26は、クリア入力CLR、クロック入力CKを有しており、電源を入れてシステムを立ち上げた場合の最初のリセットなどにより、クリア入力CLRによりリセットされて、最初は入力Dに対する出力Qが0になる。そして、CPU12からの出力信号によってクロック入力CKが操作されると、CPU12からのデータD₀がFF26に入力Dとして取り込まれ、出力Qは今取り込んだD₀の値に等しくなり、次の出力信号によって新たなD₀が取り込まれるまで保持する。

【0050】加算機ADD28は、マニュアルスイッチSWの値とFF26の出力値Qとを加算するものであり、上述したように、入力側がマニュアルスイッチSWと接続され、出力側がフラッシュPROM0、PROM1用にそれぞれ設けられているNAND回路30b、30cに接続されている。

【0051】フラッシュPROM0、PROM1用のNAND回路30b、30cは、いずれも2つの入力端のうち一方がデコーダ24に接続され、他方が加算機28に接続されている。そして出力端は、上記のようにフラッシュPROM0、PROM1用の/CS端に接続されている。一方、フラッシュPROM0、PROM1には書き込み信号入力端（Write Enable、以下「WE」と略記する）が設けられており、このWE端は、書き込み制御用のNAND回路30aの出力端に接続されている。

書き込み制御用NAND回路30aの入力端には、FF26と書き込み制御ライン32とが接続され、FF26の出力Qによって書き込み制御ライン32の書き込みを制御している。尚、本実施形態でのWE端は反転入力端（負論理端子）（ $\overline{\text{WE}}$ 端）としている。

【0052】書き込み、更新を行わない通常の場合には、FF26の出力値Q=0にしてあるので、加算機ADD28には、 $b_0=0$ が入力されることになる。それゆえ、加算機ADD28の出力 Σ_0 は、マニュアルスイッチSWの値 a_0 がそのまま出力されることになる（ $\Sigma_0 = a_0$ ）。

【0053】そのため、マニュアルスイッチSWで0が選択された場合には、加算機ADD28から0が出力され、フラッシュPROM0、PROM1用のNAND回路30b、30cに入力される。フラッシュPROM0のNAND回路30bでは、加算機ADD28側の入力端にNOT回路が設けられているので、0が入力されるとonとなり、NAND回路30bの反転出力端子と反転 $\overline{\text{CS}}$ 端が相殺してフラッシュPROM0が選択されることになる。この時、フラッシュPROM1のNAND回路30cでは0が入力され、offとなるため選択されない。

【0054】これに対して、マニュアルスイッチSWで1が選択された場合には、加算機ADD28から1が出力され、フラッシュPROM0、PROM1用のNAND回路30b、30cに入力される。フラッシュPROM0のNAND回路30bでは、1が入力されるとNOT回路によりoffとなり、NAND回路30bの反転出力端子と反転 $\overline{\text{CS}}$ 端が相殺してフラッシュPROM0は選択されない。逆に、フラッシュPROM1のNAND回路30cでは1が入力されるとonとなるためにフラッシュPROM1が選択される。

【0055】次に、プログラムの書き込み時には、FF26に対して、CPU12からD0=1が出力され、FF26の出力Qが0から1に変化する。マニュアルスイッチSWとFF26の出力QとがADD28にて加算されて、フラッシュPROM0、PROM1用のNAND回路30b、30cに入力される。ここで、ADD28では、マニュアルスイッチSWの値 a_0 とFF26の出力値 b_0 の和 Σ_0 を算出することになるが、この場合、ADD28では、 a_0 および b_0 の和（2進法）の1桁目を出力すればよく、桁上げの有無については出力する必要がない。そのため、マニュアルスイッチSWの値が0（ $a_0=0$ ）の時に、プログラムの書き込み時（ $b_0=1$ ）であれば、ADD28からは $\Sigma_0=1$ が出力される（桁上げの有無は0）。逆にマニュアルスイッチSWの値が1（ $a_0=1$ ）の時に、プログラムの書き込み時（ $b_0=1$ ）であれば、ADD28からは $\Sigma_0=0$ が出力される（桁上げの有無は1）。すなわち、FF26の出力Q= $b_0=1$ であれば、加算機ADD28の出力 Σ_0 は

はマニュアルスイッチSWの出力 a_0 とは逆の値が出力されることになる。その結果、新たなプログラムのダウンロード時には、現状で選択されている一方のフラッシュPROMではない、他方のフラッシュPROMが自動的に選択されることになる。

【0056】また、FF26の出力Q=1のとき、FF26の出力値Qは書き込み制御用NAND回路30aに出力され、且つ書き込み制御ライン32のon信号もNAND回路30aに入力されるので、NAND回路30aの出力はoffし、それが $\overline{\text{WE}}$ 端にて反転入力されることで、フラッシュPROM0、PROM1の $\overline{\text{WE}}$ 端子に対して、新たなプログラムが書き込まれることになる。ただし、実際にプログラムが書き込まれるのは、 $\overline{\text{CS}}$ 端で書き込み可能と選択されたフラッシュPROMである。

【0057】上記一連のフラッシュPROM0、PROM1の切り換え動作をフローチャートで示すと、図5のような11ステップ（以下ステップを「S」と略記する）となる。まずS1として、外部装置（サーバやホスト8a）からRAM16ヘデータ（プログラム）をダウンロードし、S2として、ダウンロードしたデータをチェックする。S3でチェックしたデータにエラーがあるか否かを判定する。エラーがなければ、S4として、CPU12の出力により、FF26の出力値Qを1にセットすることによって、フラッシュPROMを切り換え、選択されたフラッシュPROMに対応させてアドレス空間の割り付けを実施する。

【0058】そして、S5として、RAM16のデータを選択されたフラッシュPROMに書き込んだ後に、S6として、フラッシュPROMへの書き込み結果をチェックする。S7で、この書き込み結果チェックによりエラーが検出されたか否かを判定し、検出されなければS8として、リターン値に正常終了をセットし、S9として、フラッシュPROMの切り換え（アドレス空間割り付け）のためにCPU12からD₀=0を出力してFF26をリセットし、一連の処理を終了する。

【0059】一方、S3にて、ダウンロードされたデータにエラーがあると判定された場合には、S10として、リターン値にエラーコードをセットする。また、S7にて、フラッシュPROMに書き込まれたデータからエラーが検出されれば、S11として、リターン値にエラーコードをセットする。

【0060】以上は、図3に示すようにの場合、書き込みのためのアドレス空間が1カ所の場合のダウンロード手法を説明したが、書き込みのためのアドレス空間を、2カ所以上、各フラッシュPROM毎等に設けてもよい。次に、第2実施形態として、書き込みのためのアドレス空間をフラッシュPROM0、1毎に設けた場合について説明する。

【0061】図6を参照しつつ、本発明の第2実施形態

にかかるダウンロード手法について説明する。尚、前記第1実施の形態と同一部分については説明を省略する。プログラムの更新前には、フラッシュPROM0が使用（読み出し）され、他方のフラッシュPROM1を割り当てるアドレス空間はあらかじめ確保されているものの、フラッシュPROM1は使用されていないとする。この状態でのアドレス空間は、 $0_1200000 \sim 0_1400000$ までの第2区画AS2はフラッシュPROM0のアドレス空間であり、 $0_1400000 \sim 0_1600000$ までの第3区画AS3はフラッシュPROM1のアドレス空間で、 $0_1600000 \sim 0_1800000$ まで第4区画AS4はRAM16のアドレス空間と割り付けられている。

【0062】プログラムの更新の際には、新たなプログラムがあらかじめ割り当てられたアドレス空間のフラッシュPROM1に書き込まれる。そして、プログラムの更新終了後に、マニュアルスイッチSWにより、フラッシュPROM0、PROM1のアドレス空間の割付けが切り換えられる。その結果、第2区画AS2がフラッシュPROM1のアドレス空間であり、第3区画AS3がフラッシュPROM0のアドレス空間と割付けられ、第2区画AS2のフラッシュPROM1を使用（読み出し）することにより新たなプログラムが実行される。

【0063】ここで図3に示す第1の実施形態のダウンロード手法の場合には、書き込みのためのアドレス空間は1カ所だけであるので、書き込みの間はシステム2の処理を完全に停止してしまう。また、書き込み・更新動作を実施するための更新用プログラムがROM18に格納されている。一方、図6に示す本実施形態のダウンロード手法の場合には、アドレス空間を各フラッシュPROM毎に設けられているので、書き込み中でもシステム2の処理を継続することが可能である。それゆえに、更新動作には必ずしもROM18が必要ではない。また、書き込み・更新動作を実施するための更新用プログラムが、書き込まれる新たなプログラム中に含まれるようになっていてもよい。ただし、書き込み中に事故が発生したような場合には、図6に示すダウンロード手法では、システム2の処理が続けられているため、動作に悪影響が及ぼされかねないので、ROM18があるほうが好ましい。

【0064】次に、図7を参照しつつ、第2実施形態のダウンロード手法に対応する切換部14bの構成について説明する。図7に示すように、切換部14bは、デコーダ24、FF26、ADD28、マニュアルスイッチSW、NAND回路30a、AND回路34a～34d、NOR回路36a、36bを有し、マニュアルスイッチSWと2つのフラッシュPROM（フラッシュPROM0、PROM1）などに接続されている。

【0065】デコーダ24は、入力 A_{11} 、 A_{12} 、 A_{13} の3bitから8種類の選択を実施するものである。こ

の場合、切換部14bが図6のダウンロード手法に対応するので、フラッシュPROM0、PROM1の一方の使用（読み出し）のために割り当てられているアドレス空間が $0_1200000 \sim 0_1400000$ の区画、すなわち第2区画AS2であり、他方の書き込みのために割り当てられているアドレス空間が $0_1400000 \sim 0_1600000$ の区画、すなわち第3区画AS3であるので、第2・第3区画のアドレス空間が選択されるために、デコーダ24の上から2番目および3番目のターミナルT2、T3が、フラッシュPROM0、PROM1用のAND回路34a～34dおよびNOR回路36a、36bを介してフラッシュPROM0、PROM1の端点反転入力端子である/ \overline{CS} 端に接続されている。尚、マニュアルスイッチSW、FF26、およびADD28の構成は第1の実施形態と同様であるのでその説明は省略する。

【0066】フラッシュPROM0、PROM1用のAND回路34a～34dは、1つのフラッシュPROMに対して2つ設けられており、一方のAND回路は2つの入力端を有する第1AND回路34a、34cであり、他方のAND回路は3つの入力端を有する第2AND回路34b、34dである。

【0067】前記第1AND回路34a、34cの入力端は、一方がデコーダの2番目のターミナルT2に接続され、他方がマニュアルスイッチSWに接続されている。

【0068】第2AND回路34b、34dの入力端のうち1つは、デコーダの3番目のターミナルT3に接続され、1つは、ADD28に接続され、最後の1つは、FF26に直接接続されている。

【0069】NOR回路は、1つのフラッシュPROMに1つ設けられており、NOR回路36aの入力端は、第1・第2AND回路34a、34bの出力端と接続されており、出力端がフラッシュPROM0の/ \overline{CS} 端に接続されている。また、NOR回路36bの入力端は、第1・第2AND回路34c、34dの出力端と接続されており、出力端がフラッシュPROM1の/ \overline{CS} 端に接続されている。

【0070】一方、フラッシュPROM0、PROM1には反転入力となる/ \overline{WE} 端が設けられており、この/ \overline{WE} 端は、書き込み制御用のNAND回路30aの出力端に接続されている。書き込み制御用NAND回路30aの入力端は3つあり、1つはデコーダの3番目のターミナルT3に接続され、1つはFF26に接続され、1つは書き込み制御ライン32に接続されている。

【0071】書き込みを行わない通常の場合には、FF26の出力値 $Q=0$ にしてあるので、各フラッシュPROMの第2AND回路34b、34dは共にoffとなっている。マニュアルスイッチSWは、フラッシュPROM用の第1AND回路34a、34cに接続されてい

るので、使用される(第2区画AS2に割り付けられる)ほうのフラッシュPROMはこのマニュアルスイッチSWにより決定される。

【0072】マニュアルスイッチSWで0が選択された場合には、フラッシュPROM0の第1AND回路34aではマニュアルスイッチSWの入力端にNOT回路を設けているので、0が入力されるとonとなる。その結果、NOR回路36aを介して、フラッシュPROM0が選択されたことになる。このとき、フラッシュPROM1の第1AND回路34cでは、マニュアルスイッチSWから0が入力されるとoffとなるため選択されない。

【0073】これに対して、マニュアルスイッチSWで1が選択された場合には、マニュアルスイッチSWから各フラッシュPROMの第1AND回路34a、34cに1が入力される。ここで、フラッシュPROM0の第1AND回路34aにおけるマニュアルスイッチSWの入力端にはNOT回路が設けられているので、1が入力されるとoffとなる。その結果、AND回路がonとなるのはフラッシュPROM1のみであるのでフラッシュPROM1が選択される。

【0074】次に、プログラムの書き込み時には、FF26に対して、CPU12からD.₀=1が出力され、FF26の出力Qが0から1に変化する。そのため、マニュアルスイッチSWとFF26の出力Qとが加算されて、フラッシュPROM0、PROM1用の第2AND回路34b、34dに入力される。ここで、前記第1の実施形態にて説明したように、加算機ADD28では、FF26の出力Q=b.₀=1であれば、加算機ADD28の出力Σ₀はマニュアルスイッチSWからの入力a₀とは逆の値が出力されることになる。これにより一方のフラッシュPROMの第1ANDと他方のフラッシュPROMの第2ANDがonとなり、他の2個のANDはoffとなる。その結果、新たなプログラムのダウンロード時には、現状で使用されている(第2区画AS2に割り付けられている)一方のフラッシュPROMではない、他方のフラッシュPROMが自動的に選択される(第3区画AS3に割り付けられる)ことになる。

【0075】また、このとき、FF26の出力値Qは書き込み制御用NAND回路30a₁に出力されるので、NAND回路30a₁がonとなり、フラッシュPROM0、PROM1の/WE端に対して、新たなプログラムが書き込まれることになる。ただし実際にプログラムが書き込まれるのは、/CS端で書き込み可能と選択されたフラッシュPROMである。書き込み制御用NAND回路30a₁には第3区画選択信号も入っているので、第2AND34b、34dで/CS端が選択されるフラッシュPROMにのみ書き込みが限定されることになる。

【0076】上記一連のフラッシュPROM0、PRO

M1の切り換え動作をフローチャートで示すと図5のような11ステップとなるが、同じアドレス空間で入れ替えるか別のアドレス空間に割り付けるかを除けば第1の実施形態と同様であるので説明は省略する。

【0077】以上説明した第1、第2の実施形態では、フラッシュPROMが2つの場合について例示したが、3つ以上のフラッシュPROMを備える構成であってもよい。このときの切換部の構成は基本的に上記各実施形態と同一である。例えば、図8に示す場合には、フラッシュPROMがPROM0~3の4つ設けられており、ダウンロード方法が図6に示すような手法であっても、切換部の構成は基本的に図7の構成と同様である。ただし、フラッシュPROMが4つあるので、マニュアルスイッチはSWおよびSW1の2bit設けられているとともに、マニュアルスイッチSW、SW1およびADD28aとAND回路42a~42iとの間にはそれぞれ、2bitから4種類を選択するデコーダ40a、40bが設けられている点異なる。

【0078】

【発明の効果】以上説明した通り、本発明の要旨によれば、ダウンロード時にノイズや操作ミスが発生して正確なダウンロードが失敗しても、あるいはダウンロードした更新情報そのものに問題があるような場合でも、元の情報を残していることからその更新処理に基づく事故が起きても直ぐに元の情報に切り換え可能であるので長時間のシステムストップ等の致命的な事態になることを回避できる。従って、メーカー側が現場に出向かずに電話回線など通信装置を利用して遠隔地からダウンロード可能となり、より容易、迅速かつ安全な情報の更新が可能となった。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る情報記憶装置の概略ブロック図である。

【図2】本発明の第1の実施形態に係るシステム2の概略ブロック図である。

【図3】本発明の第1の実施形態に係るアドレス空間の割り付け状態の説明図である。

【図4】本発明の第1の実施形態に係る切換部14の回路図である。

【図5】本発明の第1の実施形態に係る情報記憶装置へのダウンロード方法を説明するフローチャートである。

【図6】本発明の第2の実施形態に係るアドレス空間の割り付け状態の説明図である。

【図7】本発明の第2の実施形態に係る切換部14bの回路図である。

【図8】本発明のその他の実施形態に係る切換部の回路図である。

【符号の説明】

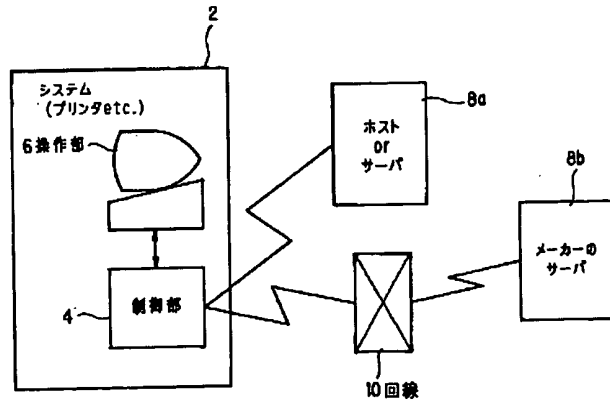
2 プリントシステム

4 制御部

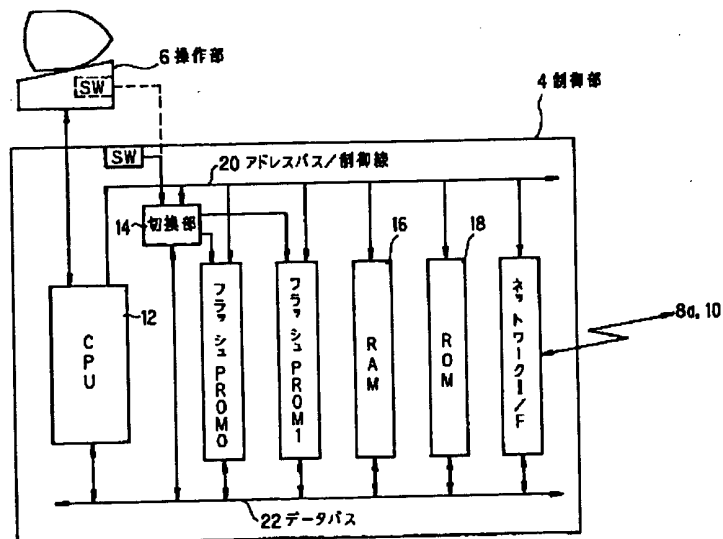
17
SW マニュアルスイッチ
12 CPU
14 切換部

18
PROM1, 2 不揮発メモリ
AS1~AS4 アドレス空間

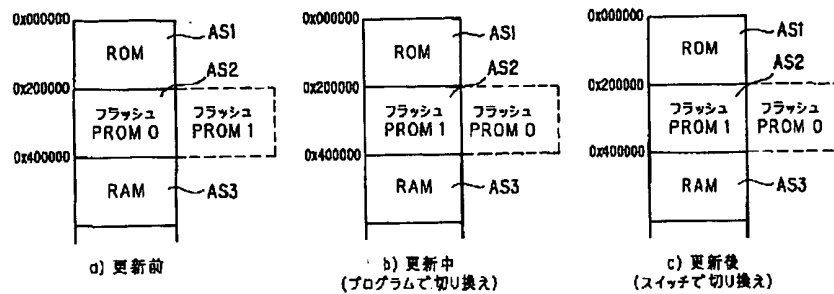
【図1】



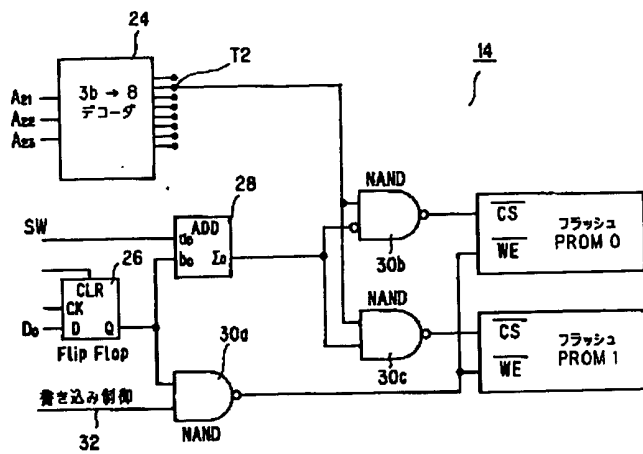
【図2】



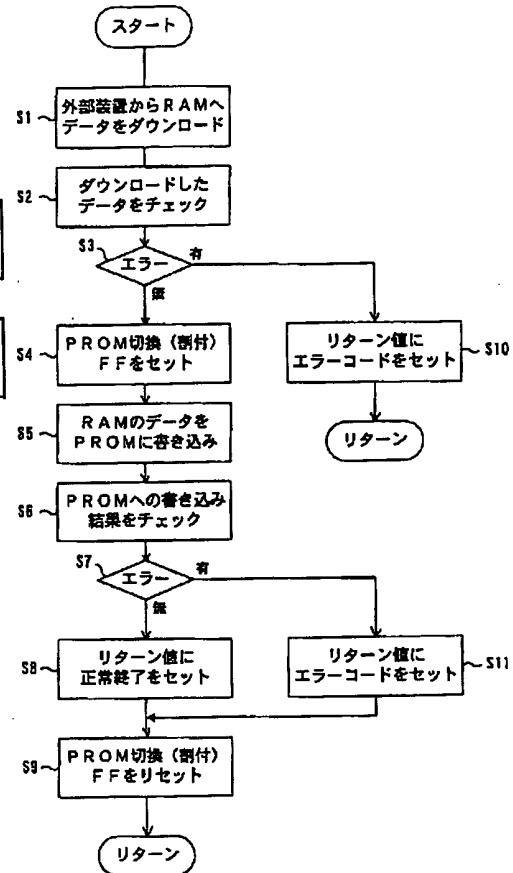
【図3】



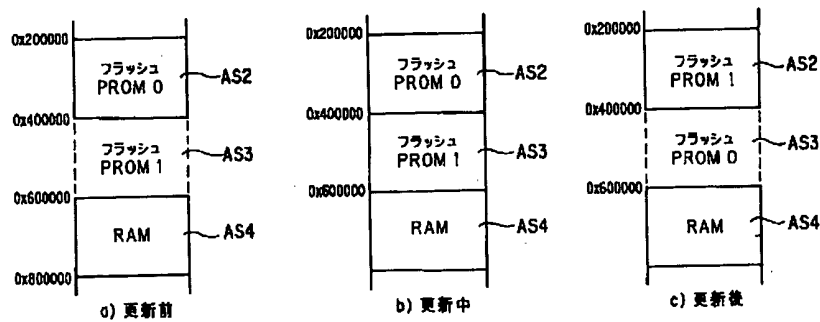
【図 4】



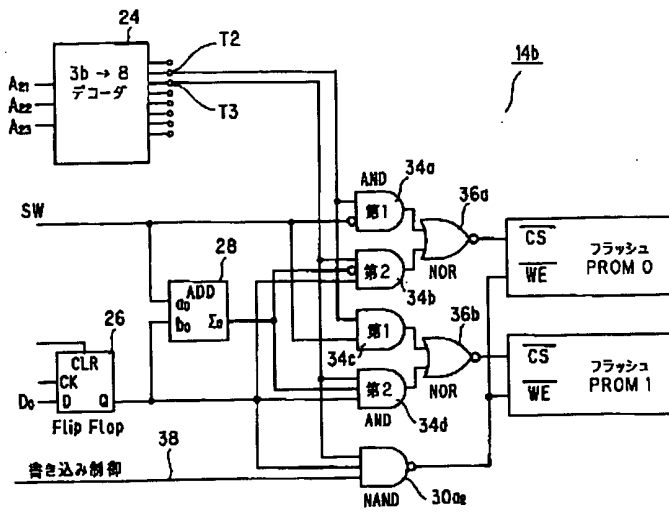
【図 5】



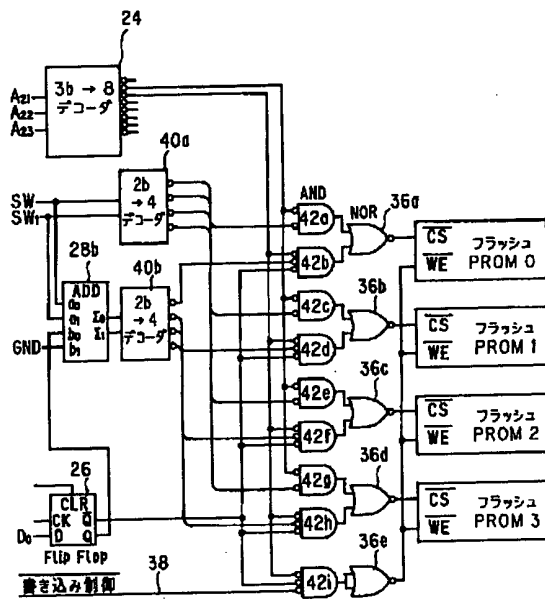
【図 6】



【図 7】



【図 8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.